**La Era de los Semiconductores: DRAM y SRAM**

**DRAM (Dynamic Random Access Memory):** La DRAM utiliza un transistor y un condensador para almacenar cada bit de información. El condensador almacena la carga eléctrica, pero esta se disipa con el tiempo, por lo que la DRAM requiere una actualización periódica para mantener los datos.

Diagrama, Esquemático

El contenido generado por IA puede ser incorrecto.

*Figure 1 -Celda Memoria*

El elemento de almacenamiento de la celda de memoria DRAM es el condensador o (4). La carga almacenada en el condensador se degrada con el tiempo, por lo que su valor se debe restaurar o refrescar periódicamente (leído y reescrito). El transistor MOSFET(3) [Metal-oxide-Semiconductor field-effect transitor) actúa como una puerta para permitir la lectura o escritura cuando está abierto o el almacenamiento cuando está cerrado.

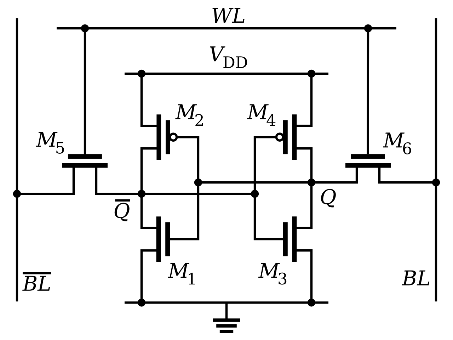
Lectura

Para la lectura la fila (word line) transmite un valor lógico de 1 (voltaje alto) a la compuerta del transistor MOSFET(3) que lo vuelve conductivo permitiendo que la carga almacenada en el condensador (4) sea transferida a la columna de datos(bit line).9 La columna de datos (bit line) tiene una capacidad parasítica (5) adicional que absorberá parte de la carga y ralentizará el proceso de lectura. la capacidad eléctrica de la columna (bit line) determinará el tamaño necesario del condensador de almacenamiento (4). En el diseño se debe de elegir. Si el condensador de almacenamiento es demasiado pequeño, el voltaje de la columna (bit line) tardaría demasiado tiempo en alcanzar o no alcanzaría el nivel necesario por los amplificadores al final de cada columna de datos. Ya que el proceso de lectura degrada la carga en el condensador de almacenamiento (4), su valor debe de ser reescrito tras cada lectura.6

Escritura

El proceso de escritura es el más sencillo. El valor deseado 1 (voltaje alto) o 0 (voltaje bajo) se transmite a la columna de datos (bit line). La fila de datos (word line) activa los transistores nMOS (3) conectando la fila de datos con el valor a escribir al condensador de almacenamiento (4).9 El único factor a tener en cuenta es asegurar que el transistor nMOS (3) se mantiene abierto el tiempo necesario para permitir que el condensador se cargue o descargue completamente.

**SRAM (Static Random Access Memory):** La SRAM utiliza un conjunto de transistores para almacenar cada bit de información. No requiere una actualización periódica, pero es más costosa y consume más energía que la DRAM.



*Figure 2- Celda SRAM Transistores*

Diagrama, Esquemático

El contenido generado por IA puede ser incorrecto.

*Figure 3 Celda SRAM Inversores*

El principio de funcionamiento de la celda de memoria SRAM es más fácil de comprender si representamos los transistores M1 a M4 como inversores. De esta manera se puede apreciar claramente que el corazón de la celda de memoria está formado por dos inversores en lazo. Este simple lazo crea un circuito biestable.

Un valor lógico de 1 en la entrada del primer inversor se convierte en un 0 en su salida, y se transmite a la entrada del segundo inversor que transforma ese 0 en un 1 y lo transmite de nuevo a la entrada del primer inversor. Esto crea un estado estable que se mantiene en el tiempo.

Igualmente el otro estado estable del circuito se da cuando se tiene un valor de 0 en la entrada del primer inversor tras pasar por ambos inversores en serie, y ser invertido dos veces el valor se mantiene en 0.

Lectura

Para leer los contenidos de la celda de memoria almacenados en el lazo los transistores M5 y M6 deben de ser activados. Cuando reciben voltaje a sus compuertas desde la fila de datos (word line) (WL}, se convierten en conductivos por lo que los valores en Q and NOTQ se transmiten a la columna de datos (bit line) (BL} y a su complementaria (BL). Finalmente estos valores se amplifican al final de las columnas de datos (bit lines).

Escritura

El proceso de escritura es similar. La diferencia es que en este caso el nuevo valor que queremos almacenar en la celda de memoria se transmite a la columna de datos (bit line) (

BL} y a su complementaria {NOT BL}. Seguidamente los transistores M5 y M6 son activados transmitiendo un valor de 1 (voltaje alto) a la fila de datos (word line) {WL} Conectando las columnas de datos (bit lines) al lazo cerrado.

Aunque la DRAM ha dominado el mercado de la memoria principal debido a su menor costo, la SRAM sigue siendo crucial en determinadas aplicaciones.